

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-275961  
 (43)Date of publication of application : 13.10.1998

(51)Int.Cl. H05K 1/02  
 G06F 17/50

(21)Application number : 09-080477 (71)Applicant : MITSUBISHI ELECTRIC CORP  
 (22)Date of filing : 31.03.1997 (72)Inventor : MATSUNUMA TAKEO

## (54) PRINTED BOARD, MANUFACTURE OF PRINTED BOARD, DESIGN OF PRINTED BOARD AND PRINTED BOARD DESIGN DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To enhance the reliability of the connection in thermocompression bonding by a method wherein pads for bonding the terminals of an electronic component are provided on a component mounting layer, and painted-over patterns for equally dispersing a load in bonding the electronic component to the printed board are provided on the parts, which correspond to the pads, of wiring layers.

**SOLUTION:** A multilayer printed board is constituted into a structure, wherein connection terminals 2 under the lower part of an electronic component 1 and connection terminal pads 5 on a component mounting layer 9 on a multilayer printed board 6 are thermally connected with each other via anisotropic conductive bonding particles 4 is an anisotropic conductive bonding agent 3 and solid pattern 8, which are painted-out patterns, are provided on the peripheries of wiring patterns 7, which are located directly under the pads 5, in wiring layers 10 and 11. Thereby, even if a load is applied to the layers 10 and 11 is a state that a resin of the board 6 is softened by heat in thermocompression bonding of the component 1 to the board 6, the load is equally dispersed and the connection of the terminals 2 under the lower part of the component 1 with the terminals 5 is stabilized.



### LEGAL STATUS

[Date of request for examination] 18.04.1997  
 [Date of sending the examiner's decision of rejection]  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
 [Date of final disposal for application]  
 [Patent number] 3115253

[Date of registration] 29.09.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-275961

(43) 公開日 平成10年(1998)10月13日

(51) Int.Cl.<sup>6</sup>

H 0 5 K 1/02

G 0 6 F 17/50

識別記号

F I

H 0 5 K 1/02

G 0 6 F 15/60

R

審査請求 有 請求項の数 8 O L (全 9 頁)

(21) 出願番号 特願平9-80477

(22) 出願日 平成9年(1997)3月31日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 松沼 武夫

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

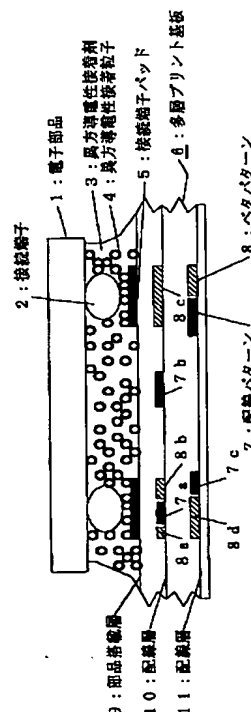
(74) 代理人 弁理士 宮田 金雄 (外2名)

(54) 【発明の名称】 プリント基板及びプリント基板製造方法及びプリント基板設計方法及びプリント基板設計装置

(57) 【要約】

【課題】 プリント基板に部品を熱圧着する時、プリント基板が軟化して、部品に対して加重をすると応力分散が不均等になり配線パターンの配置が少ない部分に部品が沈み、接続端子の電気的接続安定性に不具合が生じる問題がある。

【解決手段】 熱圧着にて接続する部品端子の直下の各配線層に、加重する時の応力を均等に分散出来る様に塗りつぶしパターンを追加するプリント基板及びプリント基板製造方法。上記多層プリント基板を設計するために、基板設計データと塗りつぶしパターン追加条件データとにより部品端子の直下の各配線層にて配線パターン周囲に塗りつぶしパターンを配置するための塗りつぶしパターン情報を自動的に生成し、基板設計データ記憶部に生成した情報を追加するプリント基板設計方法及びプリント基板設計装置。



## 1

## 【特許請求の範囲】

【請求項1】 端子を有する電子部品を搭載する部品搭載層と配線層とにより構成されるプリント基板において、

上記部品搭載層は、上記電子部品の端子を接着するパッドを備え、

上記配線層は、上記パッドに対応する部分に、上記パッドに上記電子部品を接着する時の加重を均等分散するような塗りつぶしパターンを備えたことを特徴とするプリント基板。

【請求項2】 端子を有する電子部品を搭載する部品搭載層と配線層とにより構成されるプリント基板の製造方法において、

上記部品搭載層には、上記電子部品の端子を接着するパッドを生成する工程を備え、

上記配線層には、上記パッドに対応する部分に、上記パッドに上記電子部品を接着する時の加重を均等分散するような塗りつぶしパターンを生成する工程を備えたことを特徴とするプリント基板製造方法。

【請求項3】 以下の工程を有することを特徴とするプリント基板設計方法 (a) 電子部品の端子を接着するパッドに上記電子部品を接着する時の加重を均等分散するような塗りつぶしパターンの設置を必要とする電子部品名称と配線層の総数とを塗りつぶしパターン追加条件として入力する塗りつぶしパターン追加条件入力工程、

(b) 上記塗りつぶしパターン追加条件入力工程により入力された電子部品名称を基に、基板設計データを記憶する基板設計データ記憶部より電子部品の接続端子位置情報と上記接続端子に対するパッドの形状情報とを入力する接続端子情報入力工程、(c) 上記接続端子情報入力工程により入力した上記パッドの形状情報を基に上記基板設計データ記憶部より配線パターン情報を入力する配線パターン情報入力工程、(d) 上記配線パターン情報入力工程により入力した上記配線パターン情報とパッドの形状情報とを比較して、塗りつぶしパターン情報を生成する塗りつぶしパターン情報生成工程、(e) 上記塗りつぶしパターン情報生成工程により生成した塗りつぶしパターン情報を上記基板設計データ記憶部に格納する塗りつぶしパターン情報格納工程。

【請求項4】 上記配線パターン情報入力工程は、入力した配線パターン情報が示す配線パターンと上記配線パターンの近傍に追加する塗りつぶしパターンの間に隙間を設けるように、上記配線パターンを拡大する配線パターン拡大工程を備え、

上記塗りつぶしパターン情報生成工程は、上記配線パターン拡大工程により拡大された配線パターンと上記パッドの形状情報とを比較して塗りつぶしパターン情報を生成することを特徴とする請求項3記載のプリント基板設計方法。

【請求項5】 基板設計データを記憶する基板設計デー

## 2

タ記憶部を備えるプリント基板設計装置において、以下の要素を有することを特徴とするプリント基板設計装置

(a) 電子部品の端子を接着するパッドに上記電子部品を接着する時の加重を均等分散するような塗りつぶしパターンの設置を必要とする電子部品名称と配線層の総数とを入力する塗りつぶしパターン追加条件入力部、

(b) 上記塗りつぶしパターン追加条件入力部より入力された電子部品名称を基に上記基板設計データ記憶部より接続端子情報を取得する接続端子情報入力部、(c)

10 上記接続端子情報入力部により取得した接続端子情報を基に上記基板設計データ記憶部より配線パターン情報を取得する配線パターン情報入力部、(d) 上記接続端子情報と上記配線パターン情報を比較して塗りつぶしパターン情報を生成する塗りつぶしパターン情報生成部、

(e) 上記塗りつぶしパターン情報生成部が生成した塗りつぶしパターン情報を上記基板設計データ記憶部に格納する塗りつぶしパターン格納部。

【請求項6】 上記配線パターン情報入力部は、取得した配線パターン情報が示す配線パターンと上記配線パターンの近傍に追加する塗りつぶしパターンとの間に隙間を設けるように、上記配線パターンを拡大する配線パター

20 ン拡大部を備え、  
上記塗りつぶしパターン情報生成部は、上記接続端子情報と上記配線パターン拡大部が拡大した上記配線パターンを比較して塗りつぶしパターン情報を生成することを特徴とする請求項5記載のプリント基板設計装置。

【請求項7】 上記接続端子情報は、少なくとも接続端子位置情報と接続端子パッド形状情報であることを特徴とする請求項5記載のプリント基板設計装置。

30 【請求項8】 上記基板設計データ記憶部は、少なくとも電子部品の名称と、上記電子部品の位置情報と、上記接続端子に対するパッドの形状情報と、配線パターン情報と、塗りつぶしパターン情報とを記憶することを特徴とする請求項5記載のプリント基板設計装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、熱圧着で電子部品端子とプリント基板上のパッド間を電気接続するプリント基板及びプリント基板製造方法及びプリント基板設計方法及びプリント基板設計装置に関するものである。

【0002】

【従来の技術】熱圧着によって電子部品端子と多層プリント基板上のパッド間とを電気的に接続する方法は既に異方導電性接着剤等がよく知られている(出典:回路実装学会誌、Vol.10 No.9 SEP.1995)。更に、熱圧着方式による接続では電子部品端子部と多層プリント基板上のパッド部の圧着面の平行度が、電気的接続強度を左右する事も良く知られている(出典:表面実装技術OCT.1996 Vol.6 No.10)。この事はプリント基板自身にも熱圧着時の加重を均等に分散する事が求められている事を示し

## 3

ている。従って、熱圧着にて接続する電子部品を搭載する多層プリント基板の電子部品の周囲は、平坦性が求められる。特に、接続部分となるパッド部は熱圧着時の加重が均等に分散する様設計技術面からパッド部の下位層の同位置エリアの塗りつぶしパターンであるベタパターン（銅箔ともいう）を出来る限り均等にする事が必要となっている。

【0003】次に、従来のプリント基板の構造について説明する。図9は、従来の設計手法で設計した多層プリント基板に電子部品を熱圧着にて搭載した時の接続不具合を起こした実装基板の断面図である。図9は、多層プリント基板6の接続端子パッド5a及び5bと、熱圧着にて実装する電子部品1の接続端子2a及び2bとを、異方導電性接着剤3に含まれる異方導電性接着粒子4を介して接続した時の断面を示したものである。異方導電性接着剤3を加熱し電子部品1を部品搭載層9に圧着して行くと、加熱により多層プリント基板6の表面も加熱され基材が軟化する。また、接続端子パッド5aと5bではそれぞれ直下の各配線層10、11での配線パターン7の銅箔状況が異なる。また、配線パターン7が剛性を有する。このため、電子部品1に対して加重を行うと、加重に対する応力分散が不均等となり、配線パターン7の銅箔の少ない部分に電子部品1が沈み込む事になる。そして、電子部品1の接続端子2b側が押されて、接続端子2aで接続不具合を引き起こすことになる。

## 【0004】

【発明が解決しようとする課題】電子部品を熱圧着にて装着する場合、多層プリント基板を熱圧着時に一方に傾斜させず接続出来る構造の多層プリント基板とプリント基板の製造方法と、上記構造の多層プリント基板を効率良く設計する方法と装置が必要であった。

【0005】この発明は、上記のような問題点を解消するためになされたもので、電子部品を接続端子パッドに熱圧着していく時に接続端子パッド部直下の応力分散を均等にする為の塗りつぶしパターンを各配線層に配置して、熱圧着時の接続信頼性を高める事を目的とする。また、上記のような構造の多層プリント基板を、熱圧着する部品端子の下位層に塗りつぶしパターンを生成し、上記塗りつぶしパターンを配線パターン周囲に追加することにより効率良く設計することを可能にする。

## 【0006】

【課題を解決するための手段】この発明に係るプリント基板は、端子を有する電子部品を搭載する部品搭載層と配線層とにより構成されるプリント基板において、上記部品搭載層は、上記電子部品の端子を接着するパッドを備え、上記配線層は、上記パッドに対応する部分に、上記パッドに上記電子部品を接着する時の加重を均等分散するような塗りつぶしパターンを備えたことを特徴とする。

【0007】また、この発明に係るプリント基板の製造

## 4

方法は、端子を有する電子部品を搭載する部品搭載層と配線層とにより構成されるプリント基板の製造方法において、上記部品搭載層には、上記電子部品の端子を接着するパッドを生成する工程を備え、上記配線層には、上記パッドに対応する部分に、上記パッドに上記電子部品を接着する時の加重を均等分散するような塗りつぶしパターンを生成する工程を備えたことを特徴とする。

【0008】また、この発明に係るプリント基板設計方法は、以下の工程を有することを特徴とする。（a）電子部品の端子を接着するパッドに上記電子部品を接着する時の加重を均等分散するような塗りつぶしパターンの設置を必要とする電子部品名称と配線層の総数とを塗りつぶしパターン追加条件として入力する塗りつぶしパターン追加条件入力工程、（b）上記塗りつぶしパターン追加条件入力工程により入力された電子部品名称を基に、基板設計データを記憶する基板設計データ記憶部より電子部品の接続端子位置情報と上記接続端子に対するパッドの形状情報とを入力する接続端子情報入力工程、（c）上記接続端子情報入力工程により入力した上記パッドの形状情報を基に上記基板設計データ記憶部より配線パターン情報を入力する配線パターン情報入力工程、（d）上記配線パターン情報入力工程により入力した上記配線パターン情報とパッドの形状情報とを比較して、塗りつぶしパターン情報を生成する塗りつぶしパターン情報生成工程、（e）上記塗りつぶしパターン情報生成工程により生成した塗りつぶしパターン情報を上記基板設計データ記憶部に格納する塗りつぶしパターン情報格納工程。

【0009】また、この発明に係るプリント基板設計方法は、上記配線パターン情報入力工程が、入力した配線パターン情報が示す配線パターンと上記配線パターンの近傍に追加する塗りつぶしパターンの間に隙間を設けるように、上記配線パターンを拡大する配線パターン拡大工程を備え、上記塗りつぶしパターン情報生成工程が、上記配線パターン拡大工程により拡大された配線パターンと上記パッドの形状情報とを比較して塗りつぶしパターン情報を生成することを特徴とする。

【0010】また、この発明に係るプリント基板設計装置は、基板設計データを記憶する基板設計データ記憶部を備えるプリント基板設計装置において、以下の要素を有することを特徴とする。（a）電子部品の端子を接着するパッドに上記電子部品を接着する時の加重を均等分散するような塗りつぶしパターンの設置を必要とする電子部品名称と配線層の総数とを入力する塗りつぶしパターン追加条件入力部、（b）上記塗りつぶしパターン追加条件入力部より入力された電子部品名称を基に上記基板設計データ記憶部より接続端子情報を取得する接続端子情報入力部、（c）上記接続端子情報入力部により取得した接続端子情報を基に上記基板設計データ記憶部より配線パターン情報を取得する配線パターン情報入力

部、(d) 上記接続端子情報と上記配線パターン情報を比較して塗りつぶしパターン情報を生成する塗りつぶしパターン情報生成部、(e) 上記塗りつぶしパターン情報生成部が生成した塗りつぶしパターン情報を上記基板設計データ記憶部に格納する塗りつぶしパターン格納部。

【0011】また、この発明に係るプリント基板設計装置は、上記配線パターン情報入力部が、取得した配線パターン情報が示す配線パターンと上記配線パターンの近傍に追加する塗りつぶしパターンとの間に隙間を設けるように、上記配線パターンを拡大する配線パターン拡大部を備え、上記塗りつぶしパターン情報生成部が、上記接続端子情報と上記配線パターン拡大部が拡大した上記配線パターンを比較して塗りつぶしパターン情報を生成することを特徴とする。

【0012】また、この発明に係るプリント基板設計装置は、上記接続端子情報は、少なくとも接続端子位置情報と接続端子パッド形状情報であることを特徴とする。

【0013】更に、この発明に係るプリント基板設計装置は、上記基板設計データ記憶部が、少なくとも電子部品の名称と、上記電子部品の位置情報と、上記接続端子に対するパッドの形状情報と、配線パターン情報と、塗りつぶしパターン情報とを記憶することを特徴とする。

【0014】

【発明の実施の形態】

実施の形態1. 以下、この発明の実施例を図に基づいて説明する。図1は、熱圧着により電子部品を搭載した多層プリント基板の断面図である。図2は、図1に示したプリント基板を各配線層毎に展開した展開図であり、本発明の多層プリント基板の基本構造を示すものである。実施の形態1で説明する多層プリント基板は、図1の電子部品1の接続端子2と、多層プリント基板6の部品搭載層9上の接続端子パッド5との間を異方導電性接着剤3内の異方導電性接着粒子4を介して熱接続する多層プリント基板において、接続端子パッド5直下の各配線層10、11の配線パターン7周囲に塗りつぶしパターンであるベタパターン8を設けている。尚、ベタパターン8は、例えば、銅箔である。また、上記のような多層プリント基板を製造する方法は、パッドを生成する工程によって部品搭載層9に接続端子パッド5を生成する。そして、塗りつぶしパターンを生成する工程により、配線層10、11に接続端子パッド5の直下に位置するベタパターン8を生成する。

【0015】このように実施の形態1では、多層プリント基板において、熱圧着する部品端子のパッド直下の各層にてパッド形状と同一となる様にベタパターン（銅箔）を設けて熱圧着時の加重が均等分散することを特徴とする多層プリント基板を説明した。

【0016】上記のように、接続端子パッド5とほぼ同一面積となる様に各配線層10、11の接続端子パッド

5直下の配線パターン7周囲に付加するベタパターン8を設ける。このことにより、電子部品1が熱圧着する際の熱で多層プリント基板6の樹脂が軟化している状態で配線層10、11に加重があっても、加重が均等分散され、電子部品1の接続端子2と接続端子パッド5との接続が安定する。

【0017】実施の形態2. 以下、この発明の一実施例を図に基づいて説明する。尚、基板設計データ記憶部13には、既にプリント基板設計を行った結果の電子部品名称と、上記部品の位置情報と接続端子に対するパッドの形状情報と配線パターン情報とが記憶されているものとする。図3は、図1で示す本発明のプリント基板の設計を実現するシステムフロー図である。図4は、図3における塗りつぶしパターン追加処理の基本処理ステップ図である。

【0018】図3の塗りつぶしパターン追加処理システムフローは、塗りつぶしパターン追加処理12において、基板設計データ記憶部13と塗りつぶしパターン追加条件データ14から塗りつぶしパターン情報（ベタパターン情報）を生成し、生成した塗りつぶしパターン情報を基板設計データ記憶部13に追加して記憶させるものである。塗りつぶしパターン追加条件データ14は、塗りつぶしパターンを追加する電子部品名称とプリント基板の配線層の総数を予め記憶しておくファイルである。しかし、予め塗りつぶしパターン追加条件データ14として記憶しておかなくても、例えば、キーボードから直接電子部品名称と配線層の総数とを入力しても構わない。また、塗りつぶしパターン追加処理12は、塗りつぶしパターン追加条件入力部12aと接続端子情報入力部12bと配線パターン情報入力部12cと塗りつぶしパターン情報生成部12dと塗りつぶしパターン格納部12eより構成されている。また、上記配線パターン情報入力部12cは、配線パターン拡大部12fを備える。

【0019】図3の塗りつぶしパターン追加処理について、詳細な処理内容を図4を用いて説明する。図4では、まず、塗りつぶしパターン追加条件入力部12aにより、塗りつぶしパターン追加条件データ読込み処理（S15）で、部品搭載層9に熱圧着する処理対象部品名称と配線層の合計層数を入力する（S15の処理は、塗りつぶしパターン追加条件入力工程に該当する）。

【0020】次に、接続端子情報入力部12bにより基板設計データ読込み処理（S16）で、塗りつぶしパターン追加条件データ読込み処理（S15）で入力した処理対象部品名をもとに基板設計データ記憶部13より、該当する部品の接続端子情報である接続端子位置情報と接続端子のパッドの形状情報を入力する（S16の処理は、接続端子情報入力工程に該当する）。

【0021】次に、全層完了確認処理（S17）では、塗りつぶしパターン追加処理12により、全ての配線層

## 7

に塗りつぶしパターン追加処理が終わったかを確認する。全層完了すれば処理を終了として、全層完了しなければ下位層を処理対象としてS18以降の処理に移行する。例えば、配線層が2層であれば、S18以降の処理は2回繰り返される。

【0022】全接続端子完了確認処理（S18）では、部品搭載層上の処理対象とする接続端子全てについて、塗りつぶしパターンの追加処理が完了したかを確認する。全端子終了であれば、上記S17の処理に移行する。全端子未完了であれば、S19以降の処理に移行する。例えば、部品搭載層9の熱圧着する処理対象部品に接続端子が4つあれば、S19以降の処理を4回繰り返す。

【0023】S19の配線パターンデータ読み込み処理では、配線パターン情報入力部12cにより該当接続端子に対するパッド形状の範囲内にある配線パターン情報を基板設計データ記憶部13から入力する。例えば、図5に示す多層プリント基板の展開図では、接続端子パッド5bに対する配線層10における配線パターン7aが存在しているので、基板設計データ記憶部13より配線パターン7aに関する配線パターン情報を入力する。また、配線層11について配線パターン情報読み込み処理（S19）を実行している場合は、接続端子パッド5aに対する配線パターン7cの配線パターン情報を入力する。更に、接続端子パッド5bに対する配線パターン7cの配線パターン情報を入力する。

【0024】S20の配線パターンデータの拡大処理では、配線パターン情報入力部12cにより接続端子のパッドの形状内にある配線パターンを電気的に接続しない間隙を確保して、塗りつぶしパターンが追加出来る様、配線パターン拡大部12fにより配線パターンを仮想的に太らせる処理を行う。図6に、配線パターンを太らせた例図を示す。図6において、配線パターン7は、基板設計データ記憶部13より入力した配線パターン情報を描画したものである。配線パターン拡大部12fは、図6に示す太配線パターン23のように、配線パターン7の両サイドに隙間を確保する（太配線パターン23は、図6の網がけで示した部分である）。但し、接続端子パッドの形状内を横切る配線パターンが図5の接続端子パッド5bに対する配線パターン7aのように1つしかない場合は、追加する塗りつぶしパターンと配線パターンとが電気的に接続されても構わない。このため、配線パターンが1つしかない場合は、配線パターンを太らせるためのS20の処理を行わなくても構わない。しかし、接続端子のパッドの形状内を横切る配線パターンが2つ以上存在する場合には、配線パターンと塗りつぶしパターンとは、電気的に接続されないように、配線パターンをを太らせるS20の処理が必要となる。もし、配線パターンを太らせる処理を行わないと配線パターンが短絡して電気的に誤った接続となってしまう。また、配線パ

## 8

ターンを太らせる処理は、配線パターンの中を実際に広げるわけではなく、生成する塗りつぶしパターンの領域が配線パターンを太らせた領域の分だけ縮小されるという意味である。上記S20の処理は、配線パターン拡大工程に該当する。

【0025】次に、S21の塗りつぶしパターン形状認識処理では、塗りつぶしパターン情報生成部12dによりS20の処理にて太らせられた配線パターンの輪郭と、接続端子のパッドの形状の輪郭で形成する領域とを比較して、塗りつぶしパターン情報を作成する。S21の処理を図7を用いて説明する。図7は、接続端子パッド5内を通過する配線パターン7と配線パターン7を太らせた太配線パターン23を示している。塗りつぶしパターン形状認識処理（S21）では、太配線パターン23を含める配線パターンの輪郭と、接続端子パッド5の輪郭で形成する領域を塗りつぶしパターン領域として認識する。つまり、図7では、ベタパターン8a及びベタパターン8bの2つが塗りつぶしパターン領域として認識される。塗りつぶしパターン情報生成部12dは、認識した上記ベタパターン8a及び8bを描画データに変換して塗りつぶしパターン情報を得る。上記塗りつぶしパターン情報は、構成要素として線分の始点及び終点の座標と線分の巾を基本要素としてもつものである。例えば、図7のベタパターン8aは、図8に示すような塗りつぶしパターン情報より構成される。図8に示したベタパターン8aは、線分の始点座標（X1，Y1）81と線分の終点座標（X2，Y2）82と線分の巾83を塗りつぶしパターン情報としてもつ。特に、図7における接続端子パッド5の形状は円であるため、線分の巾83は円の半径である。また、図8のベタパターン8aの塗りつぶしパターン情報は、角度も情報としてもつ。例えば、角度が120°であると、線分の始点座標81と線分の終点座標82と線分の巾83と角度により、ベタパターン8aのような円の一部を構成する領域が描画できる。S21の処理は、塗りつぶしパターン情報生成工程に該当する。

【0026】そして、S22の塗りつぶしパターン格納処理では、S21の塗りつぶしパターン形状認識処理にて作成した塗りつぶしパターン情報を基板設計データ記憶部13に格納する。上記S22の処理は、塗りつぶしパターン情報格納工程に該当する。格納が終われば、次の端子を処理すべくS18の全接続端子完了確認処理に移行する。

【0027】上記処理を行う事により、熱圧着対象部品の接続端子パッドの下位層の同一位置に上記接続端子パッドとほぼ同一形状の塗りつぶしパターンが形成される事になる。

【0028】この実施の形態2では、多層プリント基板設計方法において、基板設計データと塗りつぶしパターン追加条件データから熱圧着する部品の接続端子パッド

直下の各層にて配線パターン周囲に塗りつぶしパターンを生成する事の特徴とする多層プリント基板設計方法を説明した。そして、上記実施の形態1で説明した多層プリント基板は、熱圧着を行う部品端子の直下の各層に加重を均等分布するための塗りつぶしパターンを配置するもので、実施の形態2で説明した設計方法は基板設計データである接続端子位置データ、接続端子のパッドの形状データ、各層の配線パターンデータと塗りつぶしパターン追加条件データとで塗りつぶしパターンを生成するものである。

#### 【0029】

【発明の効果】以上説明した様に、この発明はプリント基板のパッドの直下になる配線層の上記パッド形状と同一形状となる塗りつぶしパターンを追加する事で、熱圧着時の加重応力を分散し、基板歪みによる接続不具合を出来る限り回避出来る効果がある。

【0030】更に、従来通りのプリント基板設計を行った後に塗りつぶしパターンを追加するための設計を行うので、接続端子部直下の各配線層のプリント基板設計作業は、通常のパターン配線のみに注力するだけでよい。このため、効率的なプリント基板設計が可能となる効果がある。

#### 【図面の簡単な説明】

【図1】 この発明の実施の形態1における熱圧着部品を搭載した多層プリント基板の断面を示す図である。

【図2】 図1に示した多層プリント基板を各層毎に示す展開図である。

【図3】 この発明の実施の形態2におけるプリント基

板設計装置を示すシステム構成図である。

【図4】 この発明の実施の形態2における塗りつぶしパターン追加処理の基本ステップを示す図である。

【図5】 この発明の実施の形態2における接続端子パッドと配線パターンの関係を示す図である。

【図6】 この発明の実施の形態2における配線パターンを太らせる処理を行った配線パターンの関係を示す図である。

【図7】 この発明の実施の形態2における塗りつぶしパターン形状認識処理概要を示す図である。

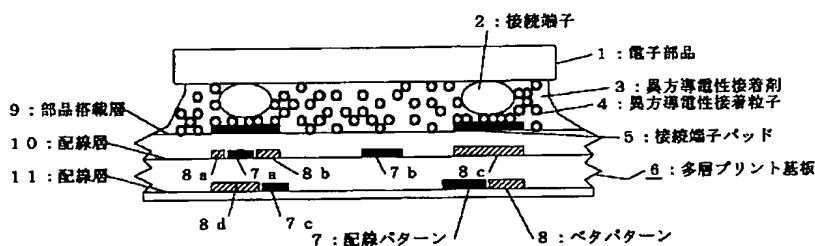
【図8】 この発明の実施の形態2における塗りつぶしパターン情報を構成する要素を説明する図である。

【図9】 従来の多層プリント基板を示す熱圧着部品搭載時の断面を示す図である。

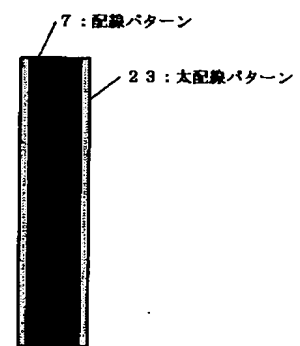
#### 【符号の説明】

1 電子部品、2, 2a, 2b 接続端子、3 異方導電性接着剤、4 異方導電性接着粒子、5, 5a, 5b 接続端子パッド、6 多層プリント基板、7a, 7b, 7c 配線パターン、8, 8a, 8b, 8c ベタパターン、9 部品搭載層、10 配線層、11 配線層、12 塗りつぶしパターン追加処理、12a 塗りつぶしパターン追加条件入力部、12b 接続端子情報入力部、12c 配線パターン情報入力部、12d 塗りつぶしパターン情報生成部、12e 塗りつぶしパターン格納部、12f 配線パターン拡大部、13 基板設計データ記憶部、14 塗りつぶしパターン追加条件データ、23 太配線パターン、81 線分の始点座標、82 線分の終点座標、83 線分の巾。

【図1】

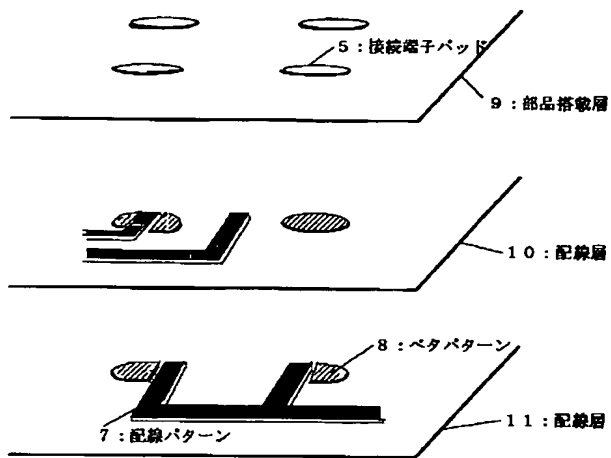


【図6】

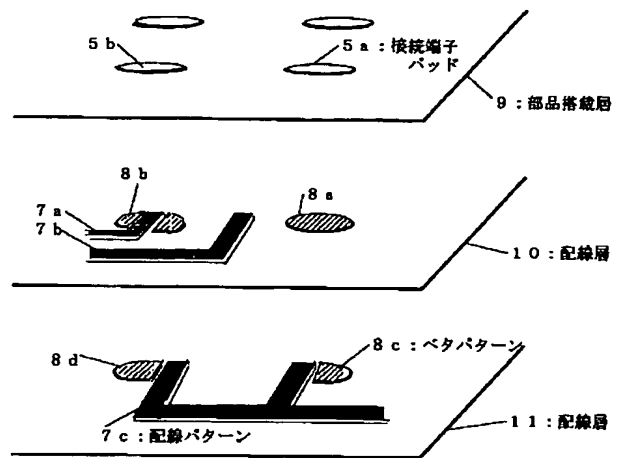




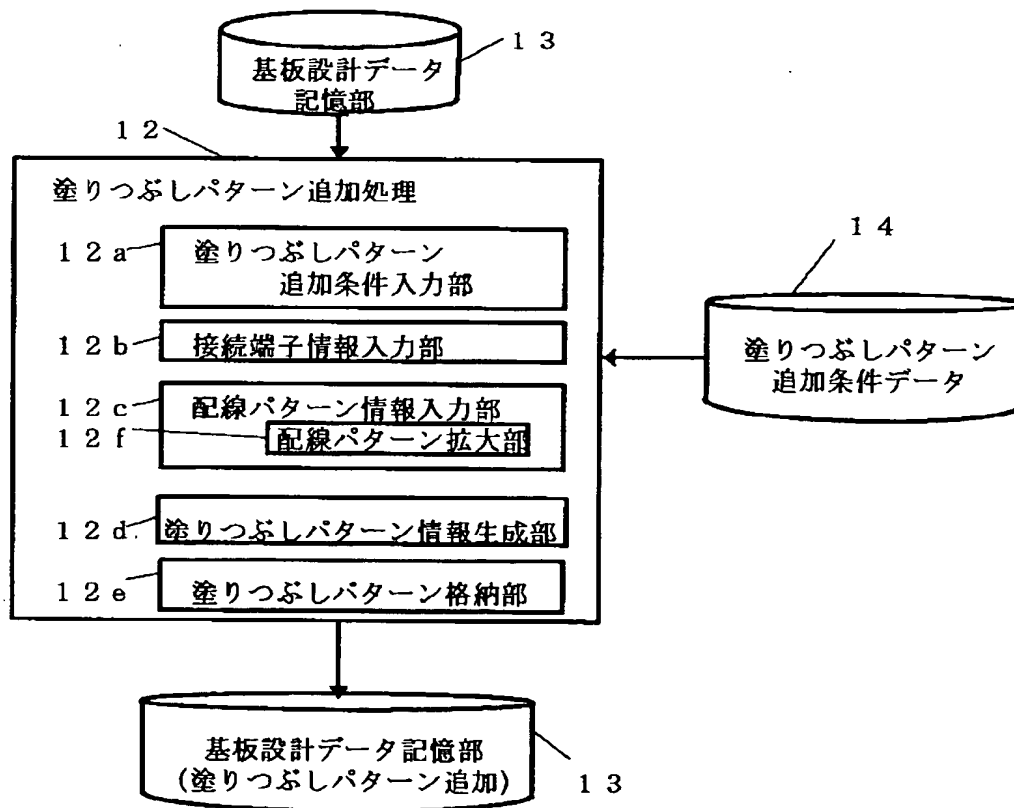
【図2】



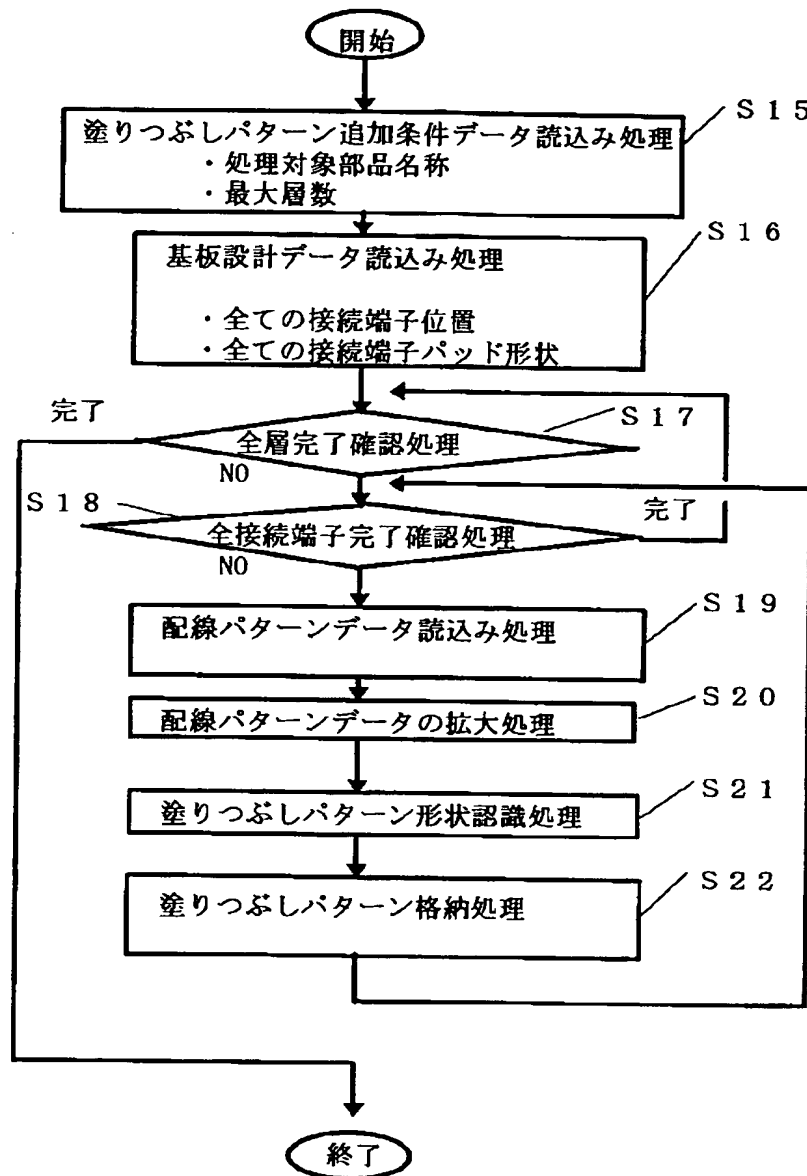
【図5】



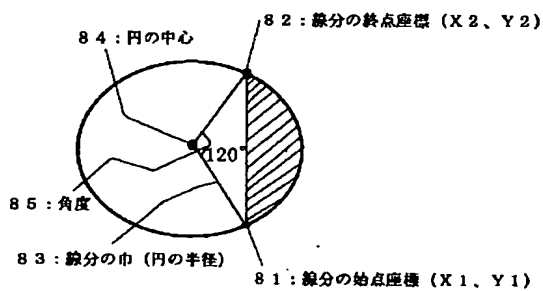
【図3】



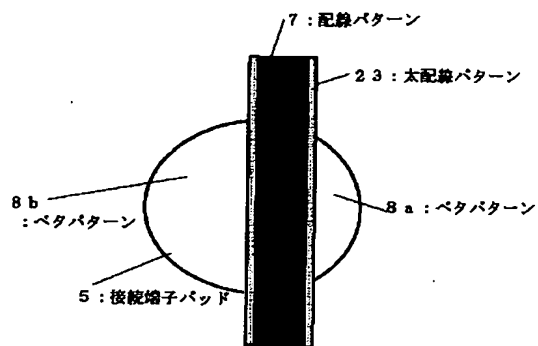
【図4】



【図8】



【図7】



【図9】

